

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Wataru SAITO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: POWER SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-001494	January 7, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月 7日

出 願 番 号

Application Number:

特願2003-001494

[ST.10/C]:

[JP 2003-001494]

出 願 人

Applicant(s):

株式会社東芝

2003年 3月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3014103

【書類名】 特許願

【整理番号】 A000205970

【提出日】 平成15年 1月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/00

【発明の名称】 電力用半導体素子

【請求項の数】 12

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 齋藤 渉

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 大村 一郎

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 小倉 常雄

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電力用半導体素子

【特許請求の範囲】

【請求項 1】 第 1 導電型の第 1 の半導体層と、

前記第 1 の半導体層上に形成され、横方向に周期的に配置された第 1 導電型の第 2 の半導体層および第 2 導電型の第 3 の半導体層と、

前記第 1 の半導体層に電氣的に接続された第 1 の主電極と、

前記第 2 の半導体層および第 3 の半導体層の表面に選択的に形成された第 2 導電型の第 4 の半導体層と、

前記第 4 の半導体層の表面に選択的に形成された第 1 導電型の第 5 の半導体層と、

前記第 4 の半導体層および前記第 5 の半導体層の表面に接合するように形成された第 2 の主電極と、

前記第 2 の半導体層、第 4 の半導体層および第 5 の半導体層の表面にゲート絶縁膜を介して形成された制御電極

とを具備し、

前記第 1 の半導体層の不純物濃度は前記第 2 の半導体層の不純物濃度よりも低く、前記第 1 の半導体層の厚さ t と前記第 2 の半導体層の厚さ d との和に対する前記第 1 の半導体層の厚さ t の比 $(= t / (t + d))$ を表わす層厚比 A は 0.

7 2 以下であることを特徴とする電力用半導体素子。

【請求項 2】 前記第 3 の半導体層の水平方向の周期 w に対する前記第 2 の半導体層の厚さ d の比 $(= d / w)$ を表わすアスペクト比 B と前記層厚比 A との積 $(A \times B)$ が、1. 1 5 以下であることを特徴とする請求項 1 記載の電力用半導体素子。

【請求項 3】 前記第 3 の半導体層の水平方向の周期 w に対する前記第 2 の半導体層の厚さ d の比 $(= d / w)$ を表わすアスペクト比 B と前記層厚比 A との関係が、

$$-0.04B + 0.48 < (A \times B) < 0.13B + 0.59$$

であることを特徴とする請求項 1 記載の電力用半導体素子。

【請求項 4】 前記第 3 の半導体層の水平方向の周期 w に対する前記第 2 の半導体層の厚さ d の比 ($= d / w$) を表わすアスペクト比 B と前記層厚比 A との積 ($A \times B$) が、

$$0.58 < (A \times B) < 0.71$$

であることを特徴とする請求項 1 記載の電力用半導体素子。

【請求項 5】 前記第 1 の半導体層の厚さ t と、耐圧 V_B (V) と、前記アスペクト比 B と、前記層厚比 A との関係が、

$$t < 2.53 \times 10^{-6} \times (A \times V_B)^{7/6} \quad (\text{cm})$$

であることを特徴とする請求項 2 記載の電力用半導体素子。

【請求項 6】 前記第 1 の半導体層の不純物濃度 N_n と、耐圧 V_B (V) と、前記アスペクト比 B と、前記層厚比 A との関係が、

$$N_n > 1.11 \times 10^{18} \times (A \times V_B)^{-4/3} \quad (\text{cm}^{-3})$$

であることを特徴とする請求項 3 記載の電力用半導体素子。

【請求項 7】 前記第 2 の半導体層と前記第 3 の半導体層との間に絶縁物が介在することを特徴とする請求項 1 記載の電力用半導体素子。

【請求項 8】 前記絶縁物中に空洞が存在することを特徴とする請求項 7 記載の電力用半導体素子。

【請求項 9】 前記第 2 の半導体層もしくは前記第 3 の半導体層のどちらか一方もしくは両方は、深さ方向に不純物濃度が次第に小さくなる不純物プロファイルを有することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の電力用半導体素子。

【請求項 10】 前記第 2 の半導体層と前記第 3 の半導体層の境界部に空洞が存在することを特徴とする請求項 1 記載の電力用半導体素子。

【請求項 11】 前記空洞は前記境界部に沿って間欠的に存在することを特徴とする請求項 10 記載の電力用半導体素子。

【請求項 12】 前記第 2 の半導体層もしくは前記第 3 の半導体層のどちらか一方もしくは両方は、深さ方向に不純物濃度が次第に小さくなる不純物プロファイルを有することを特徴とする請求項 10 または 11 記載の電力用半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、大電力の制御に用いられる電力用半導体素子に係り、特にスーパージャンクション構造を有する縦型パワーMOSFETにおけるドリフト層の構造に関する。

【0002】

【従来の技術】

電力用半導体素子の1つである縦形パワーMOSFETは、そのオン抵抗が伝導層（ドリフト層）部分の電気抵抗に大きく依存する。上記ドリフト層の電気抵抗を決定するドーパ濃度は、ベースとドリフト層が形成するpn接合の耐圧に応じて限界以上には上げられない。このため、素子耐圧とオン抵抗にはトレードオフの関係が存在し、このトレードオフを改善することが低消費電力素子には重要となる。このトレードオフは、素子材料により決まる限界が有り、この限界を越えることが既存のパワー素子を越える低オン抵抗素子の実現への道である。

【0003】

この問題を解決するMOSFETの一例として、ドリフト層にスーパージャンクション構造と呼ばれるリサーチ構造（pピラー層とnピラー層）を埋め込んだ構造が知られている。

【0004】

図15は、リサーチ構造を埋め込んだ縦型パワーMOSFETの構成を模式的に示す断面図である。

【0005】

このMOSFETは、nピラー層103の一方の表面にn+型ドレイン層（n+基板）101が形成され、このn+型ドレイン層101上にはドレイン電極105が形成されている。また、nピラー層103の他方の表面には複数のp型ベース層106が選択的に形成され、この各p型ベース層106表面にはn+型ソース層107が選択的に形成されている。また、前記p型ベース層106及び前記n+型ソース層107から前記nピラー層103を介して隣りの前記p型ベー

ス層 1 0 6 及び前記 n + 型ソース層 1 0 7 に至る領域上には、ゲート絶縁膜 1 0 9 を介してゲート電極 1 1 0 が形成されている。

【 0 0 0 6 】

また、上記ゲート絶縁膜 1 0 9 を介してゲート電極 1 1 0 を挟むように、一方の前記 p 型ベース層 1 0 6 及び n + 型ソース層 1 0 7 上には、各々ソース電極 1 0 8 が形成されている。そして、前記 p 型ベース層 1 0 6 と前記ドレイン電極 1 0 5 との間の前記 n ピラー層 1 0 3 中には、前記 p 型ベース層 1 0 6 に接続された p ピラー層 1 0 4 が形成されている。即ち、ドリフト層全体に n ピラー層 1 0 3 と p ピラー層 1 0 4 が交互に横方向に繰り返す縦型リサーフ構造となっている。このようなスーパージャンクション構造の MOSFET では、これらのピラー層の間隔（セル幅）を狭くすることにより、前記 n ピラー層 1 0 3 の不純物濃度を増やすことが可能となり、オン抵抗が下がる。

【 0 0 0 7 】

上記 MOSFET にスーパージャンクション構造を埋め込む具体的なプロセスを述べると、エピタキシャル成長された Si 基板上の n 層表面に選択的にボロンをイオン注入し、n 層のエピタキシャル成長を行うことによって、前記イオン注入したボロンを埋め込む。上記エピタキシャル成長された n 層表面に再び選択的にボロンのイオン注入を行った後、再び n 層のエピタキシャル成長を行う。このようにボロンイオンの埋め込みと結晶成長（埋め込みエピ成長）を複数回繰り返す工程後、熱処理を加えて埋め込まれたボロンを拡散させると、縦方向（深さ方向）に伸びた断面波型の p ピラー層 1 0 4 が形成される。

【 0 0 0 8 】

しかし、上記したように n 層のエピ成長と p 型ドーパントのイオン注入を繰り返してスーパージャンクション構造を埋め込む方法は、複雑な作製プロセスを要するので、従来のパワー MOSFET に比べて、ウェハの製造コストが増加してしまう。

【 0 0 0 9 】

なお、前述したようにセル幅を狭くすることによりオン抵抗を下げることは可能であるが、セル幅を狭くするためには、前記イオン注入されたボロンの 1 回当

りの拡散の深さおよび幅を小さくし、ボロンイオンの埋め込みとエピタキシャル成長の繰り返し回数を増やさなければならなく、ウェハコストが一層増加してしまう。

【 0 0 1 0 】

なお、スーパージャンクション構造のM O S F E Tの構造は、特許文献1などにも開示されている。

【 0 0 1 1 】

【特許文献1】

特表 2 0 0 1 - 5 0 1 0 4 2 号公報

【 0 0 1 2 】

【発明が解決しようとする課題】

上記したように従来のスーパージャンクション構造を埋め込んだ縦形パワーM O S F E Tは、オン抵抗を下げるためにセル幅を狭くするためには、複雑な作製プロセスを必要とするという問題があった。

【 0 0 1 3 】

本発明は上記の事情に鑑みてなされたもので、スーパージャンクション構造を埋め込んだ縦形パワーM O S F E Tのスーパージャンクション構造を形成するプロセスを複雑化せずに、高耐圧、低オン抵抗の縦形パワーM O S F Tを実現し得る電力用半導体素子を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

本発明の半導体装置は、第1導電型の第1の半導体層と、前記第1の半導体層上に形成され、横方向に周期的に配置された第1導電型の第2の半導体層および第2導電型の第3の半導体層と、前記第1の半導体層に電氣的に接続された第1の主電極と、前記第2の半導体層および第3の半導体層の表面に選択的に形成された第2導電型の第4の半導体層と、前記第4の半導体層の表面に選択的に形成された第1導電型の第5の半導体層と、前記第4の半導体層および前記第5の半導体層の表面に接合するように形成された第2の主電極と、前記第2の半導体層、第4の半導体層および第5の半導体層の表面にゲート絶縁膜を介して形成され

た制御電極とを具備し、前記第 1 の半導体層の不純物濃度は前記第 2 の半導体層の不純物濃度よりも低く、前記第 1 の半導体層の厚さ t と前記第 2 の半導体層の厚さ d との和に対する前記第 1 の半導体層の厚さ t の比 ($= t / (t + d)$) を表わす層厚比 A は 0.72 以下であることを特徴とする。

【0015】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、以下の実施形態では第 1 導電型を n 型、第 2 導電型を p 型としている。また、図面中の同一部分には同一番号を付している。

【0016】

<第 1 の実施形態>

図 1 は、本発明の第 1 の実施形態に係るスーパージャンクション構造を有する縦型パワー MOSFET の構成を模式的に示す断面図である。

【0017】

この MOSFET は、第 1 の半導体層として n -ドリフト層 2 の表面には、スーパージャンクション構造を形成する第 2 の半導体層として n ピラー層 3 と第 3 の半導体層である p ピラー層 4 が形成されている。 n -ドリフト層 2 の他方の表面に高濃度半導体層である n +ドレイン層 1 が形成され、この n +ドレイン層 1 上には、第 1 の主電極としてドレイン電極 5 が形成されている。

【0018】

なお、前記 n -ドリフト層 2 と n +ドレイン層 1 の形成方法は、前記 n -ドリフト層 1 の片面に不純物拡散をして形成してもよく、前記 n +ドレイン層 1 を基板として前記 n -ドリフト層 2 を結晶成長してもよい。

【0019】

前記スーパージャンクション構造の表面には、第 4 の半導体層として p 型ベース層 6 が選択的に、且つ、平面ストライプ形状に拡散形成されており、この p 型ベース層 6 の表面には第 5 の半導体層としての n +型ソース層 7 が選択的に、且つ、平面ストライプ形状に拡散形成されている。

【0020】

そして、p 型ベース層 6 に形成された n + 型ソース層 7 から当該 p 型ベース層 6、n ピラー層 3 を介して隣りの p ベース層 6 および n ソース層 7 に至る領域上の表面には、膜厚約 $0.1 \mu\text{m}$ のゲート絶縁膜（例えば Si 酸化膜）9 を介して制御電極としてゲート電極 10 が平面ストライプ形状に形成されている。

【 0 0 2 1 】

さらに、ゲート絶縁膜 9 を介してゲート電極 10 を挟み、各 p 型ベース層 6 上には、p 型ベース層 6 の表面および n + 型ソース層 7 の表面に接合するように第 2 の主電極であるソース電極 8 が平面ストライプ形状に形成されている。

【 0 0 2 2 】

上述したように本実施例の MOSFET は、第 2 の半導体層（n ピラー層 3）と第 3 の半導体層（p ピラー層 4）で形成されるスーパージャンクション構造および第 1 の半導体層（n - ドリフト層）2 でドリフト層が構成されている。

【 0 0 2 3 】

第 1 の主電極（ドレイン電極 5）と第 2 の主電極（ソース電極 8）との間に高電圧を加えた時に n ピラー層 3 と p ピラー層 4 からなるスーパージャンクション構造が完全空乏化する。そして、上記 2 つの領域（スーパージャンクション構造および n - ドリフト層 2）の両方で耐圧を保持しているので、スーパージャンクション構造の厚さを従来例よりも薄くすることが可能となる。したがって、従来例と同じアスペクト比のスーパージャンクション構造を複数回の埋め込みエピにより形成する場合では、従来例よりも埋め込みエピ回数を減らすことが可能となり、プロセスの簡略化が可能となり、ウェハコストを低減することが可能となる。

【 0 0 2 4 】

図 2 は、図 1 中の n - ドリフト層 2 の厚さを変化させた場合のオン抵抗の変化を示す特性図である。横軸は、ドリフト層全体の厚さ（スーパージャンクション構造の厚さ d と n - ドリフト層 2 の厚さ t との和）に対する n - ドリフト層 2 の厚さ t の比 $A (= t / (t + d))$ を表わす層厚比である。縦軸は、従来のスーパージャンクション MOSFET のオン抵抗で規格化したオン抵抗を示している。ここで、p ピラー層 4 の水平方向の周期 w に対する n ピラー層 3 の厚さ d の比

($=d/w$) を表わすスーパージャンクション (S J) 構造のアスペクト比 B をパラメータとして、1.5 から 3 まで変化させた場合のオン抵抗を示している。

【0025】

図 2 から分かるように、縦軸は規格化したオン抵抗であるから、この値が 1 以下となることは、本実施例の構造が従来例の構造よりも低オン抵抗になることを示している。

【0026】

スーパージャンクション構造の利点を得るためには、アスペクト比 B は 1.5 以上であることが望ましく、アスペクト比 B が 1.5 の場合は、層厚比 A を 0.72 以下とすれば、従来例のスーパージャンクション MOSFET よりも低オン抵抗になる。アスペクト比 B が同じで低オン抵抗ということは、プロセスの工程や難易度を増やさずに低オン抵抗を得ることが可能であることを示している。

【0027】

また、図 2 から分かるように、スーパージャンクション構造のアスペクト比 B が変化すると、本実施例の MOSFET が従来例のスーパージャンクション MOSFET よりも低オン抵抗となる層厚比 A の範囲が変化する。また、層厚比 A を変化させると、最もオン抵抗が小さくなる層厚比が存在する。

【0028】

図 3 は、図 1 の MOSFET において従来例のスーパージャンクション構造よりもオン抵抗が低くなる最大の層厚比 A_{MAX} とスーパージャンクション構造のアスペクト比 B との積 $A_{MAX} \cdot B$ のアスペクト比依存性を示す特性図である。

【0029】

図 3 から分かるように、アスペクト比 B が変化しても最大層厚比 A_{MAX} とアスペクト比 B との積 ($A_{MAX} \times B$) は変化せず、1.15 程度となっている。これより、層厚比 A とアスペクト比 B との積が 1.15 以下となるように素子を形成することにより、従来例のスーパージャンクション MOSFET よりも低いオン抵抗が実現できる。

【0030】

図 4 は、図 1 の MOSFET において最も低いオン抵抗からその +5% 程度の

オン抵抗までを実現する層厚比Aとスーパージャンクション構造のアスペクト比Bの積 $A \cdot B$ のアスペクト比依存性を示す特性図である。

【0031】

図4から分かるように、低いオン抵抗が得られるように、 $A \cdot B$ がハッチング表示の最適範囲に入るように、層厚比Aとアスペクト比Bを設計することが望ましい。ここで、ハッチング表示の範囲は、

$$-0.04B + 0.48 < (A \times B) < 0.13B + 0.59 \quad \dots (1)$$

である。

【0032】

図5は、図1のMOSFETにおいて最もオン抵抗が低くなる最適層厚比 A_{opt} とスーパージャンクション構造のアスペクト比Bの積 $A_{opt} \cdot B$ のアスペクト比依存性を示す特性図である。

【0033】

図5から分かるように、 $A_{opt} \cdot B$ の積は、Bに関係なくほぼ一定である。 $A_{opt} \cdot B$ を0.65程度にすることにより、本実施例の構造により最も低いオン抵抗が実現できる。10%程度のプロセスマージンを考慮し、

$$0.58 < (A \times B) < 0.71 \quad \dots (2)$$

とすることが望ましい。

【0034】

次に、図1中のn-ドリフト層2の具体的な設計について述べる。

【0035】

n-ドリフト層2の厚さ t と不純物濃度 N_n は、従来例のパワーMOSFETのドリフト層と同様に設計が可能である。

【0036】

従来のパワーMOSFETのドリフト層厚 t_d は、耐圧 V_B に対して、

$$t_d = C \times V_B^{7/6} \quad (cm) \quad \dots (3)$$

と表されることが知られている。但し、Cは定数である。

【0037】

これに対して、従来のパワーMOSFETでは、ドリフト層で全ての耐圧を保

持するが、本実施例のMOSFETではn-ドリフト層2とスーパージャンクション構造の両方で耐圧を保持する。n-ドリフト層2で保持する耐圧は、ほぼ層厚比Aに比例するので、n-ドリフト層2の厚さtは、次式のように表せる。

【0038】

$$t = C_t \times (A \times V_B)^{7/6} \quad (\text{cm}) \quad \dots (4)$$

但し、 C_t はn-層厚係数である。

【0039】

ここで、層厚比Aが最大層厚比 A_{MAX} の時のn-ドリフト層厚tと耐圧 V_B よりn-層厚係数 C_t を求めてプロットすると、図6に示すようになる。

【0040】

図6は、図1のMOSFETにおいて最大層厚比 A_{MAX} の時のn-ドリフト層厚tのアスペクト比依存性を示す特性図である。

【0041】

図6から分かるように、 C_t はアスペクト比Bに依存せずに 2.3×10^{-6} でほぼ一定となる。これより、最大のn-ドリフト層厚 t_{MAX} を求めることが可能であり、n-ドリフト層厚を t_{MAX} 以下とすることで、従来のスーパージャンクションMOSFETよりも低オン抵抗が実現できる。プロセスマージンを考えて、10%程度の余裕を持たせると、

$$t < 2.53 \times 10^{-6} \times (A \times V_B)^{7/6} \quad (\text{cm}) \quad \dots (5)$$

とすることが望ましい。

【0042】

また、従来のパワーMOSFETのドリフト層濃度 N_d は、耐圧 V_B に対して、 $N_d = D \times V_B^{-4/3} \quad (\text{cm}^{-3})$ と表されることが知られている。但し、Dは定数である。

【0043】

そして、前記ドリフト層厚と同様に本実施例のMOSFETに用いるように上式(6)を変形すると、

$$N_n = D_n \times (A \times V_B)^{-4/3} \quad (\text{cm}^{-3}) \quad \dots (7)$$

となる。但し、 D_n はn-層濃度定数である。

【 0 0 4 4 】

ここで、層厚比 A が最大層厚比 A_{MAX} の時の n - ドリフト層濃度 N_n と耐圧 V_B より n - 層濃度定数 D_n を求めてプロットすると、図 7 のようになる。

【 0 0 4 5 】

図 7 は、図 1 の $MOSFET$ において最大層厚比 A_{MAX} の時の n - ドリフト層濃度 N_n のアスペクト比依存性を示す特性図である。

【 0 0 4 6 】

図 7 から分かるように、 n - 層濃度定数 D_n も前述した n - 層厚係数 C_t と同様にアスペクト比に依存せず、 1.23×10^{18} でほぼ一定となる。これより、最大の n - ドリフト層不純物濃度 N_{nMAX} を求めることが可能であり、 n - ドリフト層不純物濃度を N_{nMAX} 以上とすることで、従来のスーパージャンクション $MOSFET$ よりも低オン抵抗が実現できる。プロセスマージンを考えて、10 % 程度の余裕を持たせると、

$$N_n > 1.11 \times 10^{18} \times (A \times V_B)^{-4/3} \quad (cm^{-3}) \quad \dots (8)$$

とすることが望ましい。

【 0 0 4 7 】

これらの式を用いて、600 V クラス素子の具体的な設計を行うと、次のようになる。耐圧マージンを考慮して、耐圧は 700 V とする。アスペクト比 B を 2 とした場合は、図 3 に示されるように層厚比 A を 0.57 以下にする。最もオン抵抗が低くなる層厚比 A_{opt} は、図 5 に示されるように 0.325 となる。これより、 n - ドリフト層 2 の厚さ t と濃度 N_n は、

$$t < 27.2 \mu m$$

$$N_n > 3.8 \times 10^{14} cm^{-3}$$

となり、最適な n - ドリフト層 2 の厚さ t と濃度 N_n は、

$$t = 14.1 \mu m$$

$$N_n = 8 \times 10^{14} cm^{-3}$$

となる。

【 0 0 4 8 】

上記したように最適設計を行うことにより、最も低いオン抵抗が実現され、従

来のスーパージャンクションMOSFETと比較して、アスペクト比Bを0.5大きくしたことと同様な効果が得られる。つまり、最適設計されたアスペクト比 $B=2$ の本実施例のパワーMOSFETは、アスペクト比 $B=2.5$ の従来のスーパージャンクションMOSFETと同等なオン抵抗となる。

【0049】

これにより、複数回の埋め込みエピ成長によりスーパージャンクション構造を形成する場合、本実施例のパワーMOSFETでは成長回数を1回減らしても従来のパワーMOSFETと同じオン抵抗を実現することが可能である。

【0050】

＜第2の実施形態＞

図8は、本発明の第2の実施形態に係るリサーフ構造を埋め込んだ縦型パワーMOSFETの構成を模式的に示す断面図である。

【0051】

このMOSFETは、図1を参照して前述した第1の実施形態のMOSFETと比べて、ドリフト層中のスーパージャンクション構造を構成するnピラー層3とpピラー層4の間に絶縁膜11が介在している点が異なり、その他は同じであるので図1中と同一符号を付して詳しい説明は省略する。なお、上記絶縁物膜11は、pベース層6の一部を貫通するように形成されているが、pベース層6はソース電極8が接合しているので全体的に同一電位に設定されている。

【0052】

上記構成において、前記絶縁膜11の厚さがある程度薄いと、第1の主電極（ドレイン電極5）と第2の主電極（ソース電極8）との間に高電圧を加えた時にnピラー層3とpピラー層4からなるスーパージャンクション構造が完全空乏化する動作に影響はなく、耐圧は低下しない。加えて、nピラー層3とpピラー層4との間の空乏層が小さくなるので、オン抵抗はさらに低下する。

【0053】

そして、絶縁膜11が挿入されていることにより、pピラー4内の不純物の拡散が抑制され、アスペクト比Bの高いスーパージャンクション構造を形成することが容易になる。

【 0 0 5 4 】

図 9 (A) 乃至 (F) は、図 8 の M O S F E T を製造するプロセスフローの一例を示す概略的な断面図である。

【 0 0 5 5 】

まず、n ピラー 3 およびそれより不純物濃度が低い n - ドリフト層 2 として、不純物濃度が 2 段階に変化したエピタキシャルウェハ（シリコンウェハ）を用意し、マスクパターン 9 1 を用いて n ピラー 3 に絶縁物挿入用のトレンチを形成し、トレンチ内に絶縁物 1 1 を埋め込む。そして、p ピラーを形成するためのボロンイオンをマスクパターン 9 2 を用いて選択的に注入し、拡散する。この際、絶縁物 1 1 で分離されている領域内では横方向拡散は起きないので、アスペクト比の高い p ピラー 4 が形成される。その後、表面に M O S F E T 構造を形成する。

【 0 0 5 6 】

図 1 0 (A) 乃至 (F) は、図 8 の M O S F E T を製造するプロセスフローの他の例を示す概略的な断面図である。

【 0 0 5 7 】

まず、n ピラー 3 およびそれより不純物濃度が低い n - ドリフト層 2 として、不純物濃度が 2 段階に変化したエピウェハを用意する。そして、n ピラー 3 の表面に p ピラーを形成するためのボロンイオンをマスクパターン 9 2 を用いて選択的に注入する。その後、絶縁物挿入用のトレンチを形成し、拡散を行う。この際、絶縁物挿入用のトレンチで分離されている領域内では横方向拡散は起きないので、アスペクト比の高い p ピラー 4 が形成される。その後、トレンチ内に絶縁物 1 1 を埋め込み、表面に M O S F E T 構造を形成する。

【 0 0 5 8 】

図 9 あるいは図 1 0 に示したプロセスフローでは、p ピラー 4 のみイオン注入により形成したが、n ピラー 3 もリンをイオン注入することにより形成しても実施可能である。また、ピラーの拡散時に、トレンチ側壁やウェハ表面に酸化膜を形成しても実施可能である。また、トレンチ内を埋め込む絶縁物は、熱酸化膜でも堆積した酸化膜や窒化膜などでも実施可能である。

【 0 0 5 9 】

図 1 1 は、図 9 あるいは図 1 0 に示したプロセスフローで形成した p ピラー 4 中の p 型不純物濃度について縦（深さ）方向におけるプロファイルの一例を示している。

【 0 0 6 0 】

図 9 あるいは図 1 0 中の n ピラー 3 は、例えば $10\mu\text{m}$ 程度の深さであれば 1 回の埋め込みエピタキシャル成長により実現でき、それに対して前述したプロセスフローで p ピラー 4 を形成する際の拡散による深さ方向の不純物濃度プロファイルは次第（連続的）に小さくなっていく。図 8 中の n ピラー 3 も、拡散により形成すると、p ピラー 4 と同様な不純物濃度プロファイルを持つようになる。

【 0 0 6 1 】

なお、トレンチ内に絶縁物 1 1 を埋め込む際に、絶縁物で完全に埋め込む必要はなく、図 1 2 に示すように、絶縁物中に空洞 1 2 が存在しても構わない。アスペクト比の高いトレンチ内に絶縁物 1 1 を埋め込む場合、絶縁膜を堆積すると、メサ角部において異常成長が起こることがある。しかし、トレンチ側壁が酸化膜などで欠陥などを発生させずにパッシベーション膜が形成されていれば、絶縁物 1 1 中に空洞 1 2 が存在していても電氣的に問題はない。

【 0 0 6 2 】

さらに、前記絶縁物 1 1 を埋め込まないで、n ピラー層 3 と p ピラー層 4 の境界部に沿って間欠的あるいは連続的に空洞が存在するように構成しても、前記絶縁物 1 1 を埋め込んだ場合とほぼ同様の効果が得られる。

【 0 0 6 3 】

< 第 3 の実施形態 >

図 1 3 は、本発明の第 3 の実施形態に係るリサーフ構造を埋め込んだ縦型パワー MOSFET の構成を模式的に示す断面図である。

【 0 0 6 4 】

この MOSFET は、図 1 を参照して前述した第 1 の実施形態の MOSFET と比べて、ドリフト層中のスーパージャンクション構造を構成する n ピラー層 3 と p ピラー層 4 の境界部に沿って間欠的に空洞 1 2 が存在している点が異なり、その他は同じであるので図 1 中と同一符号を付して詳しい説明は省略する。

【 0 0 6 5 】

上記空洞 1 2 は、第 2 の実施形態で示したパワー MOS F E T と同様に絶縁膜として働き、耐圧は低下せず、横方向の空乏層を小さくするので、M O S F E T のオン抵抗は小さくなる。

【 0 0 6 6 】

上記したような断面形状を有する構造は、アスペクト比の高いスーパージャンクションを形成するプロセスを採用することにより実現可能である。

【 0 0 6 7 】

図 1 4 (A) 乃至 (F) は、図 1 3 の M O S F E T を製造するプロセスフローの一例を示す概略的な断面図である。

【 0 0 6 8 】

まず、不純物濃度が 2 段階に変化したエピウェハを n ピラー 3 およびそれより不純物濃度が低い n - ドリフト層 2 として用意する。そして、n ピラー 3 の表面に p ピラーを形成するためのボロンイオンをマスクパターン 9 2 を用いて選択的に注入する。その後、絶縁物挿入用のトレンチを形成し、拡散を行う。この際、絶縁物挿入用のトレンチで分離されている領域内では横方向拡散は起きないので、アスペクト比の高い p ピラー 4 が形成される。その後、水素雰囲気中で熱処理を行うことにより、トレンチ側壁の S i 原子が流動し、空洞 1 2 を形成しながらトレンチを埋めるようになり、平坦な表面が得られる。その後、表面に M O S F E T 構造を形成する。

【 0 0 6 9 】

図 1 4 に示したプロセスフローでは、p ピラー 4 のみイオン注入により形成したが、n ピラー 3 もリンをイオン注入することにより形成するように実施可能である。また、ピラーの拡散時に、トレンチ側壁やウェハ表面に酸化膜を形成しても実施可能である。また、空洞の数は、トレンチ幅などの形状により決まるので、単数でも複数でも実施可能である。

【 0 0 7 0 】

また、図 1 4 に示したプロセスフローで形成した p ピラー 4 は、拡散により深さ方向へ不純物濃度が次第（連続的）に小さくなっていくプロファイルを有する

。nピラー3も拡散により形成すると、pピラーと同様な不純物濃度プロファイルを持つようになる。

【0071】

なお、本発明は、前述した各実施形態に限定されるものではなく、これらに基づいて当業者が容易に考え得る変形はすべて適用可能である。

【0072】

即ち、例えば、第1の導電型をn型、第2の導電型をp型として説明したが、第1の導電型をp型、第2の導電型をn型としても実施可能である。

【0073】

また、pピラー層4の平面パターンは、前記ストライプ状に限らず、格子状や千鳥状に形成してもよい。

【0074】

また、pベース層6及びnソース層7、ゲート電極10の平面パターンは、前記ストライプ状に限らず、格子状および千鳥状に形成してもよく、ストライプ状に形成する場合、スーパージャンクション構造と平行に形成しても、直交するように形成してもよい。

【0075】

また、MOSゲート構造は、前記プレナー構造に限らず、トレンチ構造でも実施可能である。

【0076】

また、半導体として、前記シリコン(Si)に限らず、例えばシリコンカーバイド(SiC)や窒化ガリウム(GaN)、窒化アルミニウム(AlN)等の化合物半導体やダイヤモンドなどのワイドバンドギャップ半導体を用いることができる。

【0077】

また、前記パワーMOSFETに限らず、スーパージャンクション構造を有する素子であれば、SBD、MPSダイオード、MOSFETとSBDとの混載素子、SIT、JFET、IGBTなどの素子でも適用可能である。

【0078】

【発明の効果】

上述したように本発明の電力用半導体素子によれば、従来と同様なプロセスで従来のスーパージャンクション構造よりも低いオン抵抗を実現でき、ウェハコストやチップコストの低いパワーMOSFETを実現することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るスーパージャンクション構造を有する縦型パワーMOSFETの構成を模式的に示す断面図。

【図2】 図1中のn-ドリフト層の厚さを変化させた場合のオン抵抗の変化を示す特性図。

【図3】 図1のMOSFETにおいて従来例のスーパージャンクション構造よりもオン抵抗が低くなる最大の層厚比 A_{MAX} とスーパージャンクション構造のアスペクト比 B との積 $A_{MAX} \cdot B$ のアスペクト比依存性を示す特性図。

【図4】 図1のMOSFETにおいて最も低いオン抵抗からその+5%程度のオン抵抗までを実現する層厚比 A とスーパージャンクション構造のアスペクト比 B の積 $A \cdot B$ のアスペクト比依存性を示す特性図。

【図5】 図1のMOSFETにおいて最もオン抵抗が低くなる最適層厚比 A_{opt} とスーパージャンクション構造のアスペクト比 B の積 $A_{opt} \cdot B$ のアスペクト比依存性を示す特性図。

【図6】 図1のMOSFETにおいてn-ドリフト層厚 t のアスペクト比依存性を示す特性図。

【図7】 図1のMOSFETにおいてn-層不純物濃度 N_n のアスペクト比依存性を示す特性図。

【図8】 本発明の第2の実施形態に係るスーパージャンクション構造を有する縦型パワーMOSFETの構成を模式的に示す断面図。

【図9】 図8のMOSFETを製造するプロセスフローの一例を示す概略的な断面図。

【図10】 図8のMOSFETを製造するプロセスフローの他の例を示す概略的な断面図。

【図11】 図9あるいは図10に示したプロセスフローで形成したpピラ

ー 4 中の不純物濃度について縦方向におけるプロファイルの一例を示す図。

【図 1 2】 本発明の第 2 の実施形態に係るスーパージャンクション構造を有する縦型パワー MOS FET の構成を模式的に示す断面図。

【図 1 3】 本発明の第 3 の実施形態に係るスーパージャンクション構造を有する縦型パワー MOS FET の構成を模式的に示す断面図。

【図 1 4】 図 1 3 の MOS FET を製造するプロセスフローの一例を示す概略的な断面図。

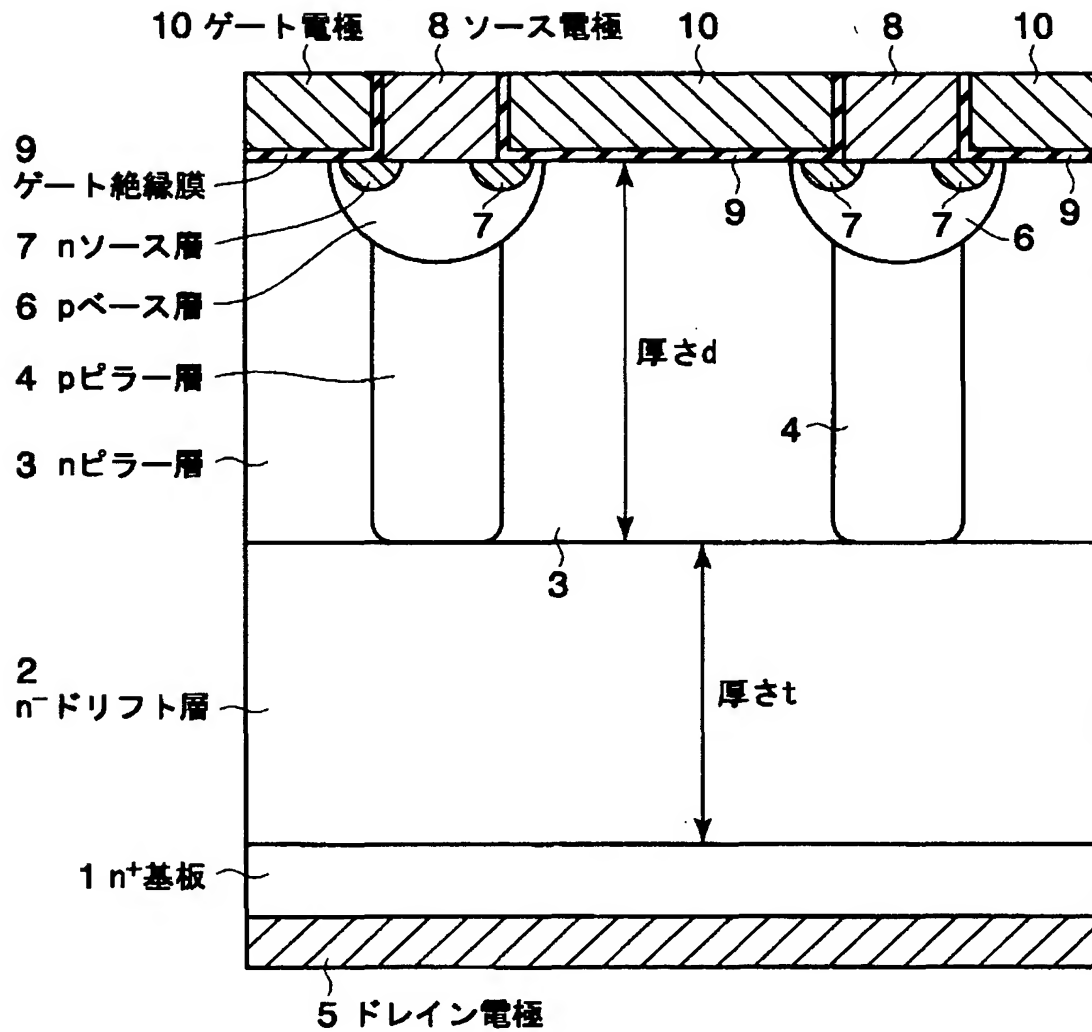
【図 1 5】 従来のスーパージャンクション構造を有する縦型パワー MOS FET の構成を模式的に示す断面図。

【符号の説明】

1 … n + ドレイン層、2 … n - ドリフト層（第 1 の半導体層）、3 … n ピラー層（第 2 の半導体層）、4 … p ピラー層（第 3 の半導体層）、5 … ドレイン電極（第 1 の主電極）、6 … p ベース層（第 4 の半導体層）、7 … n ソース層（第 5 の半導体層）、8 … ソース電極（第 2 の主電極）、9 … Si 酸化膜（ゲート絶縁膜）、10 … ゲート電極（制御電極）。

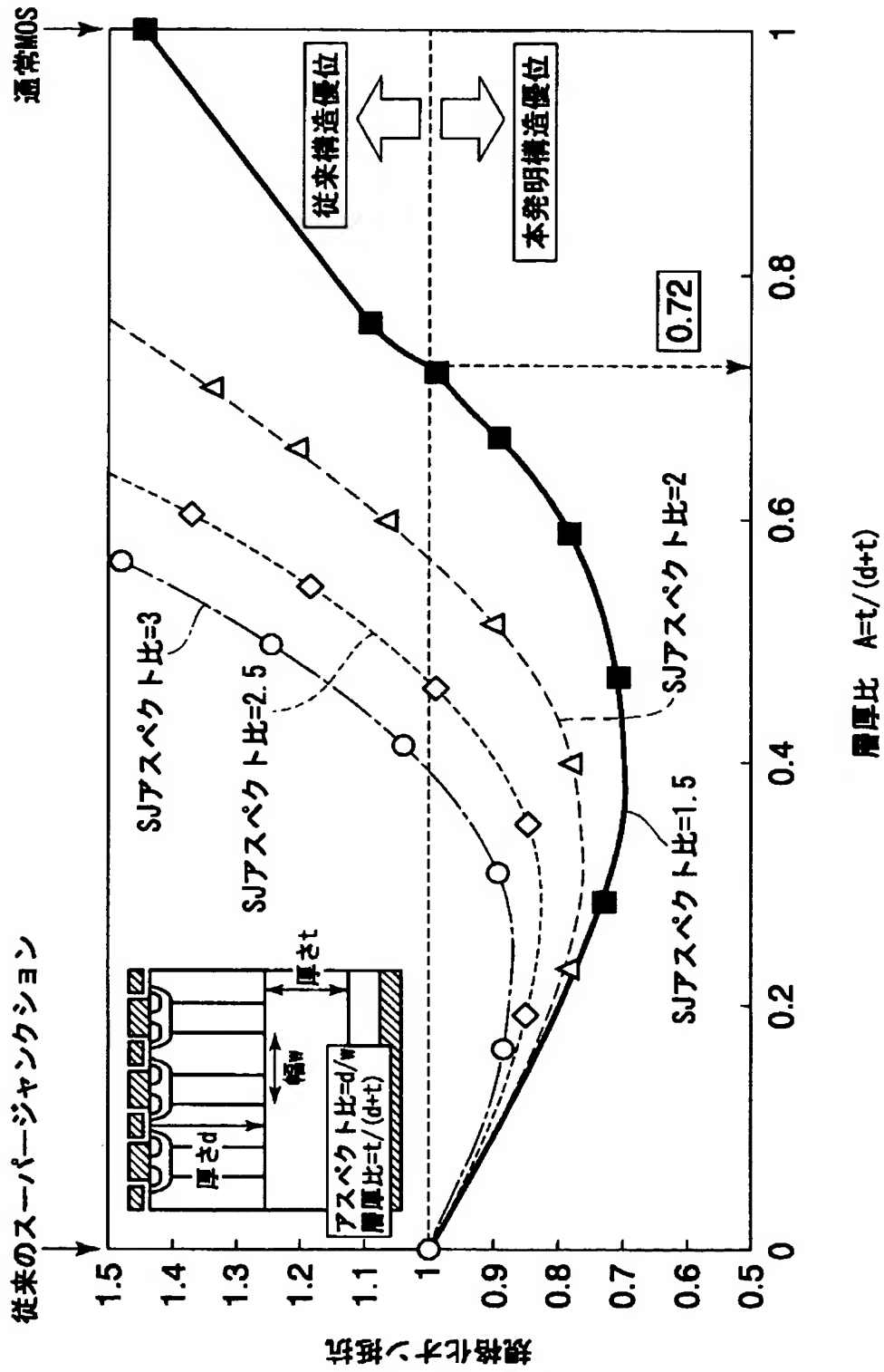
【書類名】 図面

【図 1】

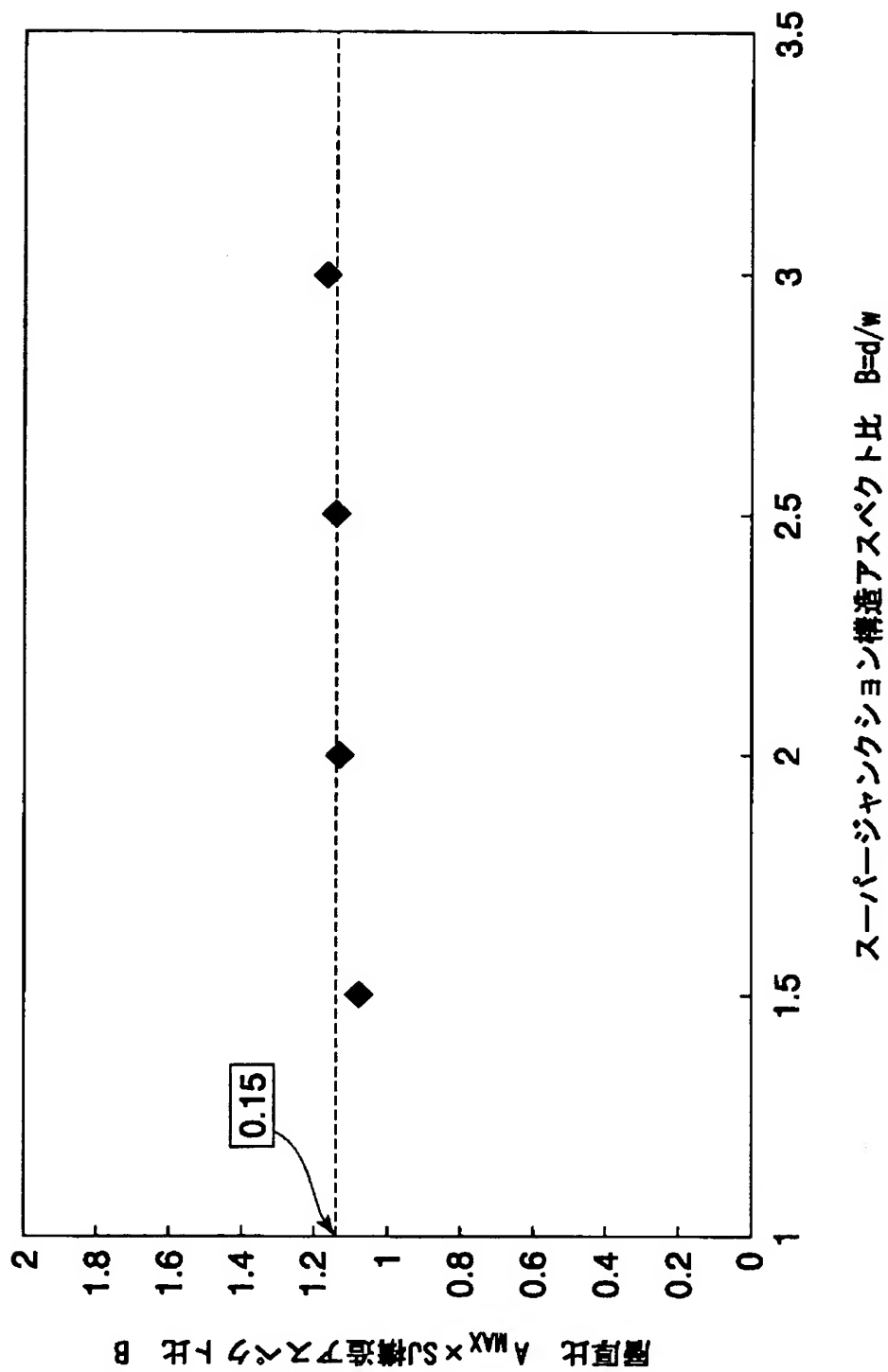


層厚比 $t/(d+t) < 0.72$

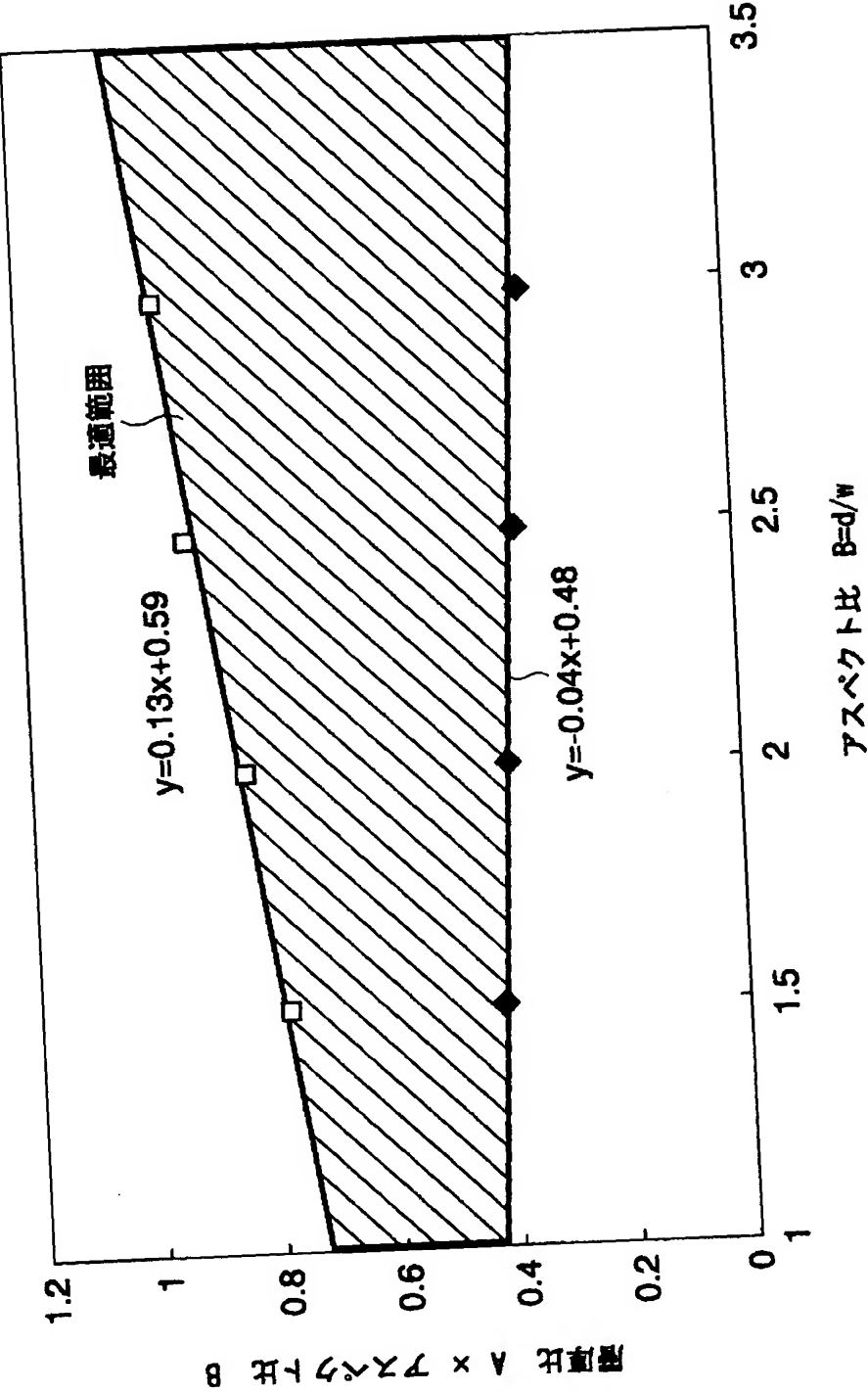
【図 2】



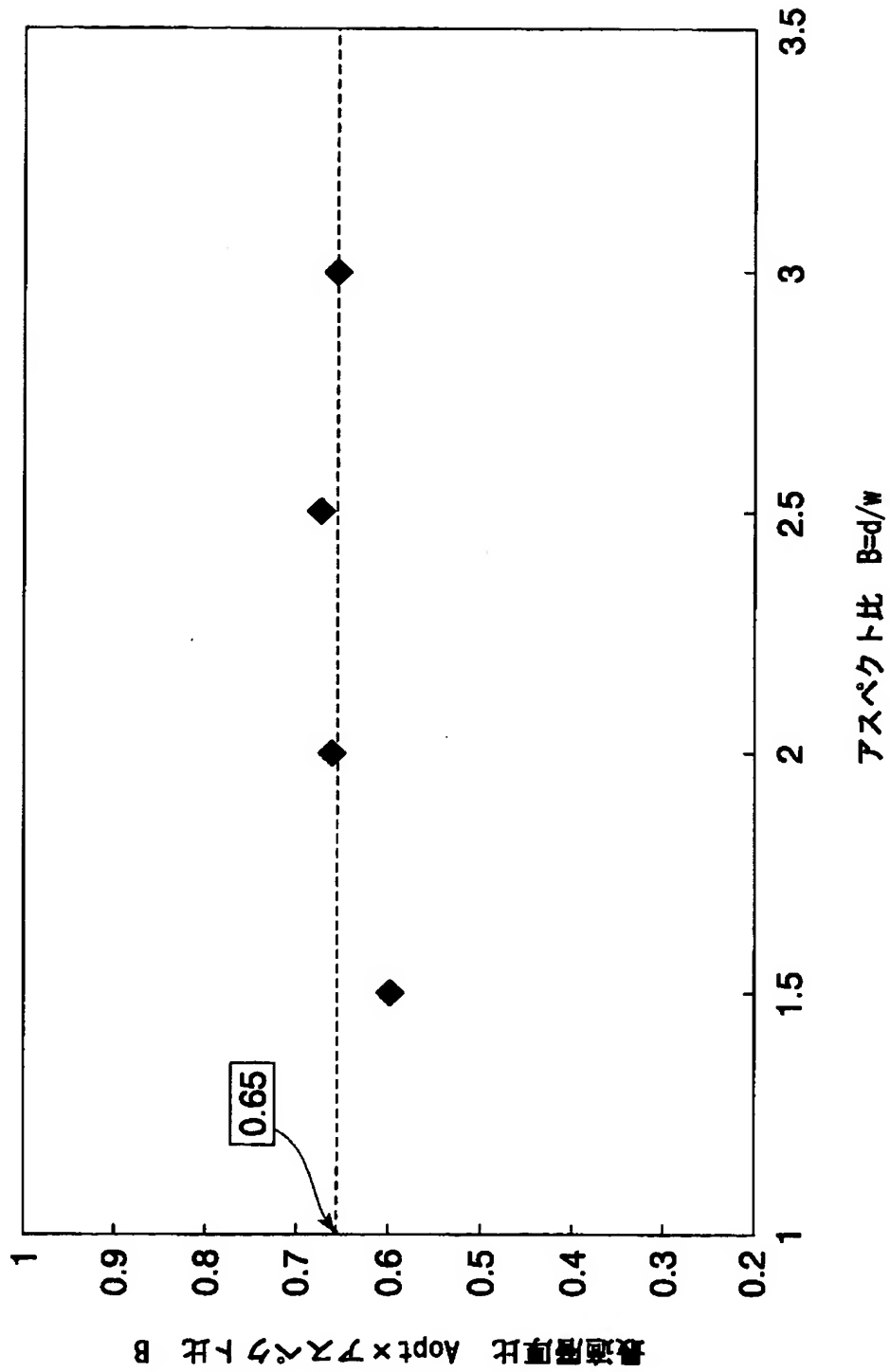
【図 3】



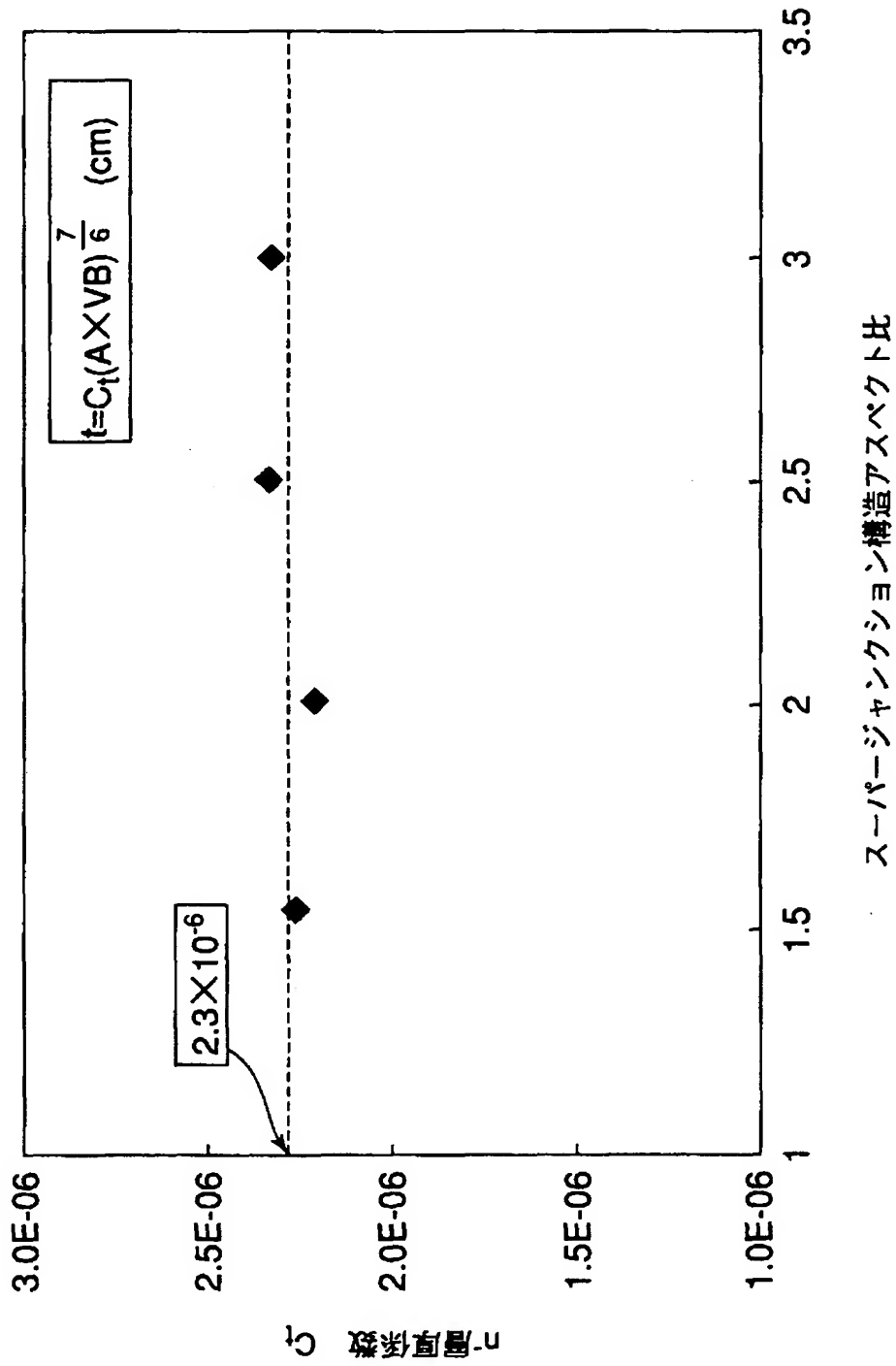
【図4】



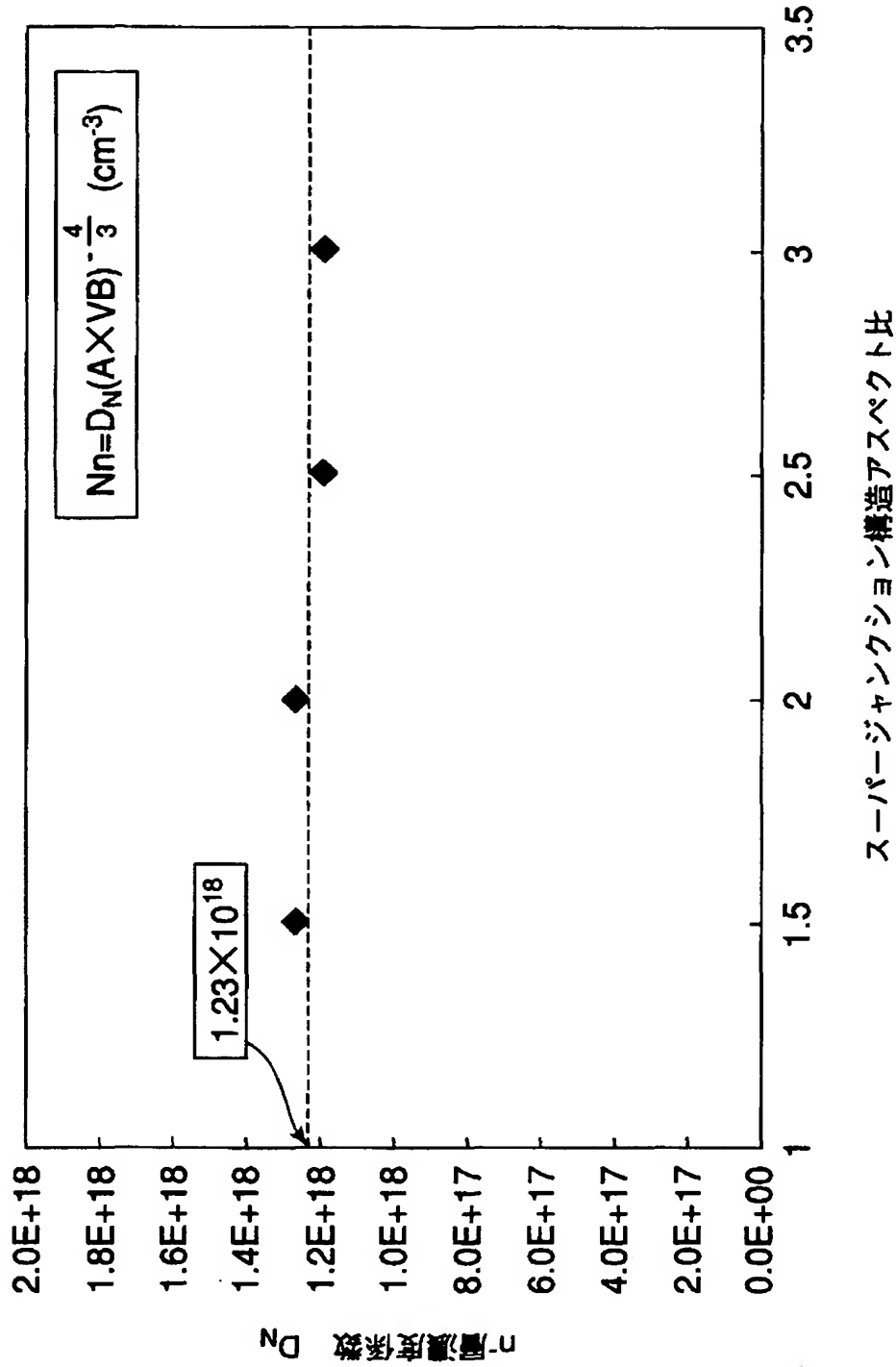
【図 5】



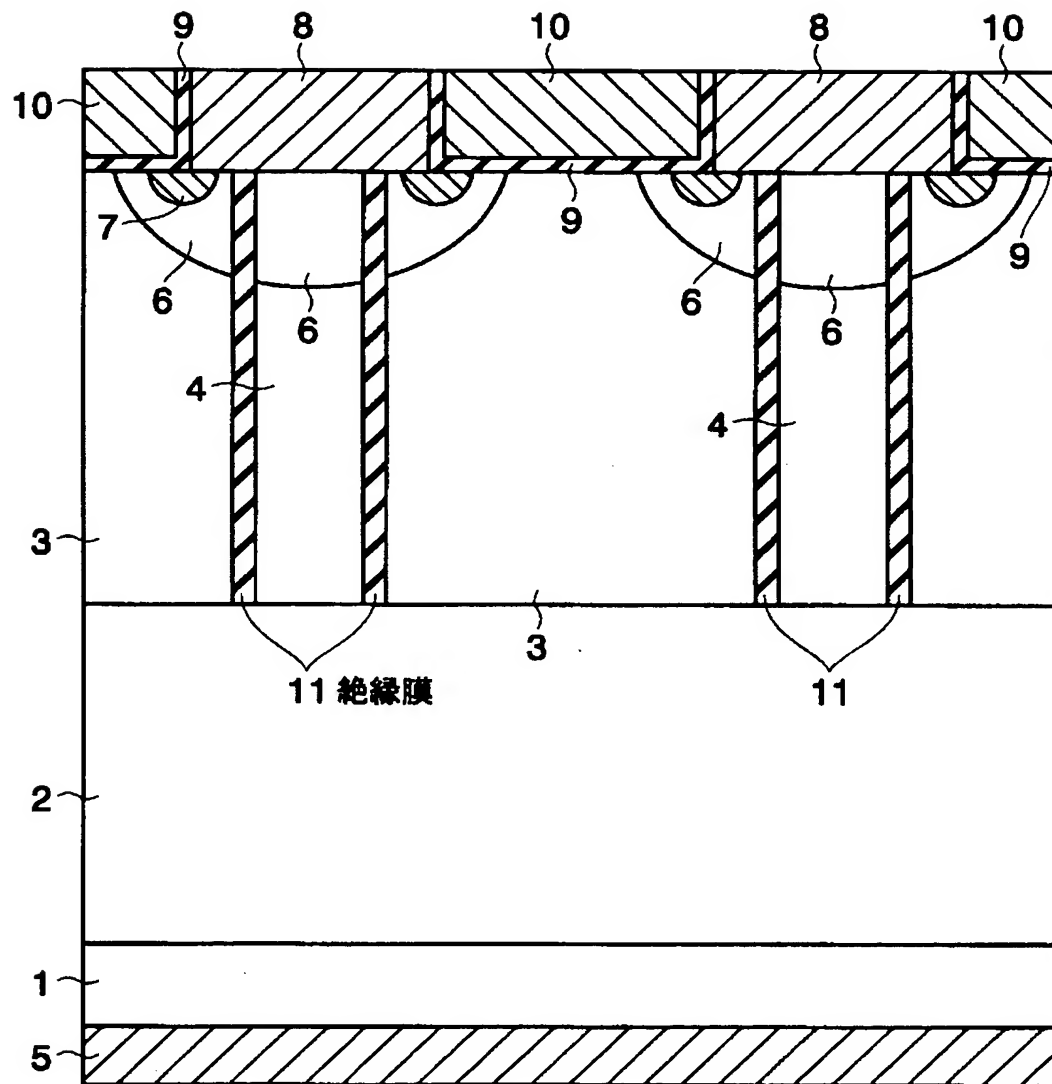
【図 6】



【図 7】

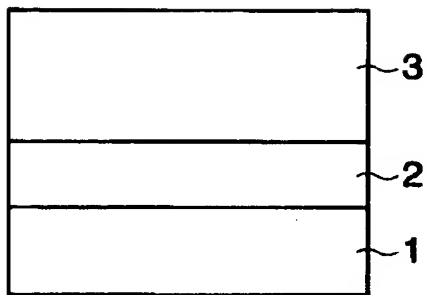


【図 8】

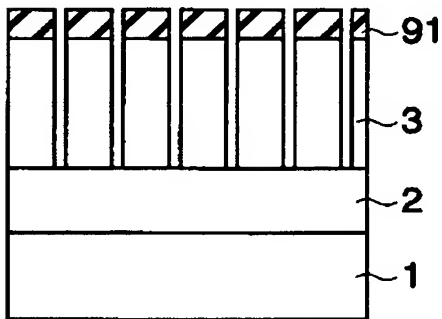


【図 9】

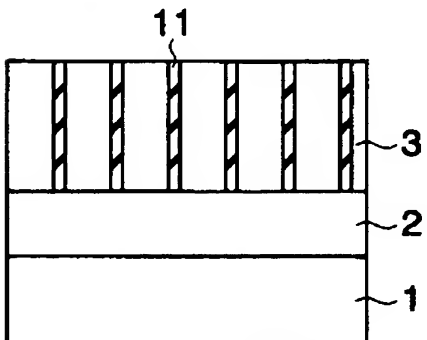
(A) 基板



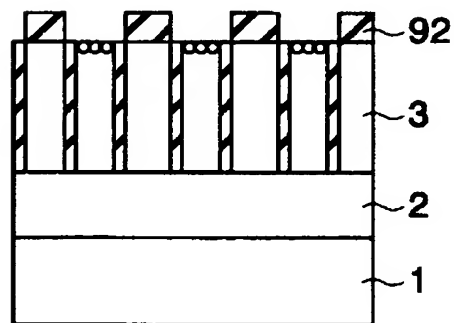
(B) トレンチ溝形成



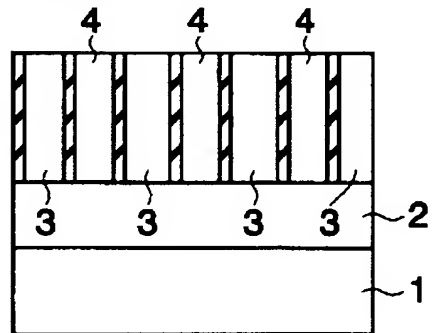
(C) 絶縁物埋め込み



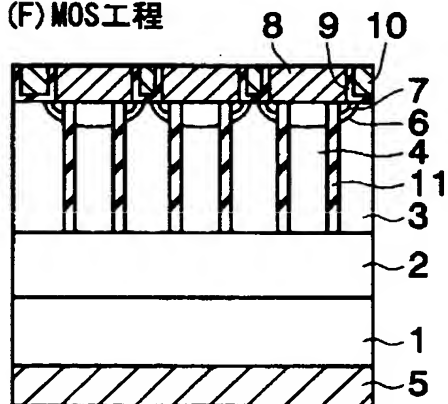
(D) イオン注入 ボロンイオン
↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓



(E) 拡散

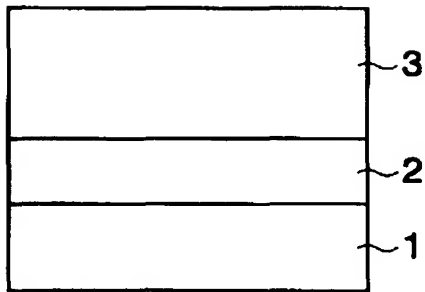


(F) MOS工程

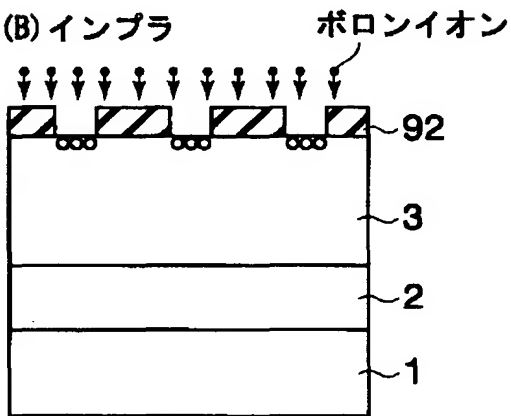


【図10】

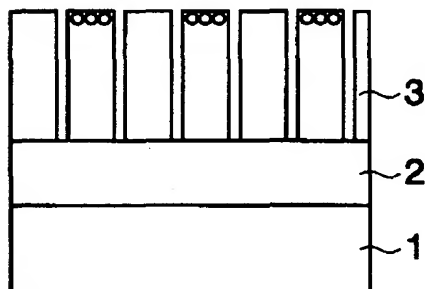
(A) 基板



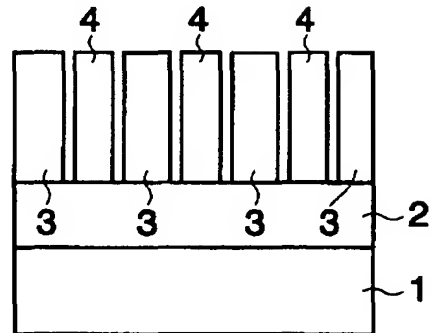
(B) インプラ



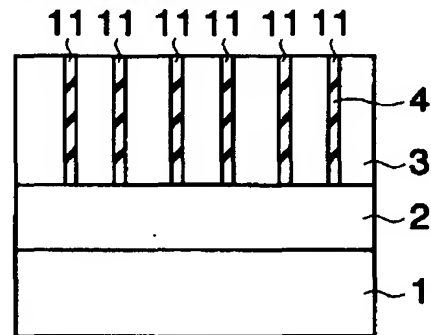
(C) トレンチ溝形成



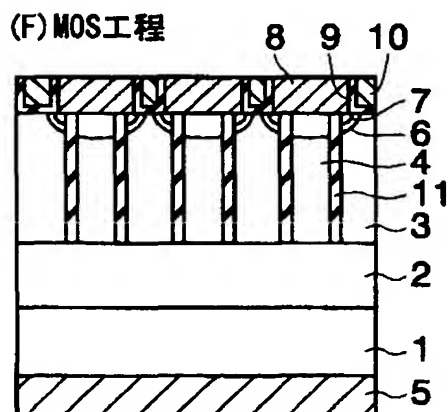
(D) 拡散



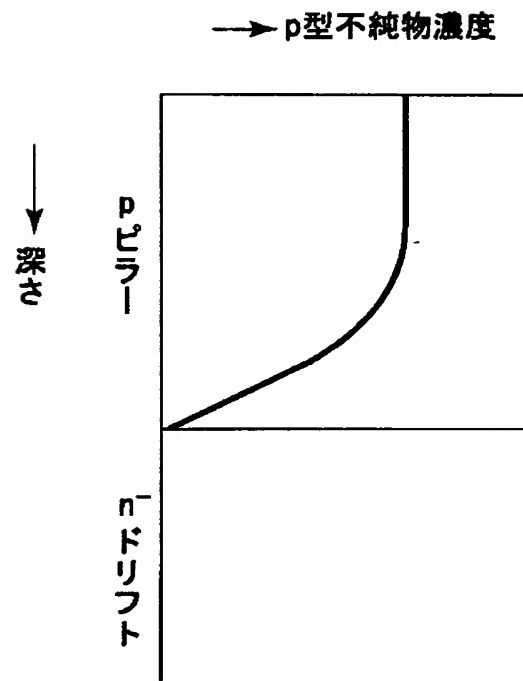
(E) 絶縁物埋め込み



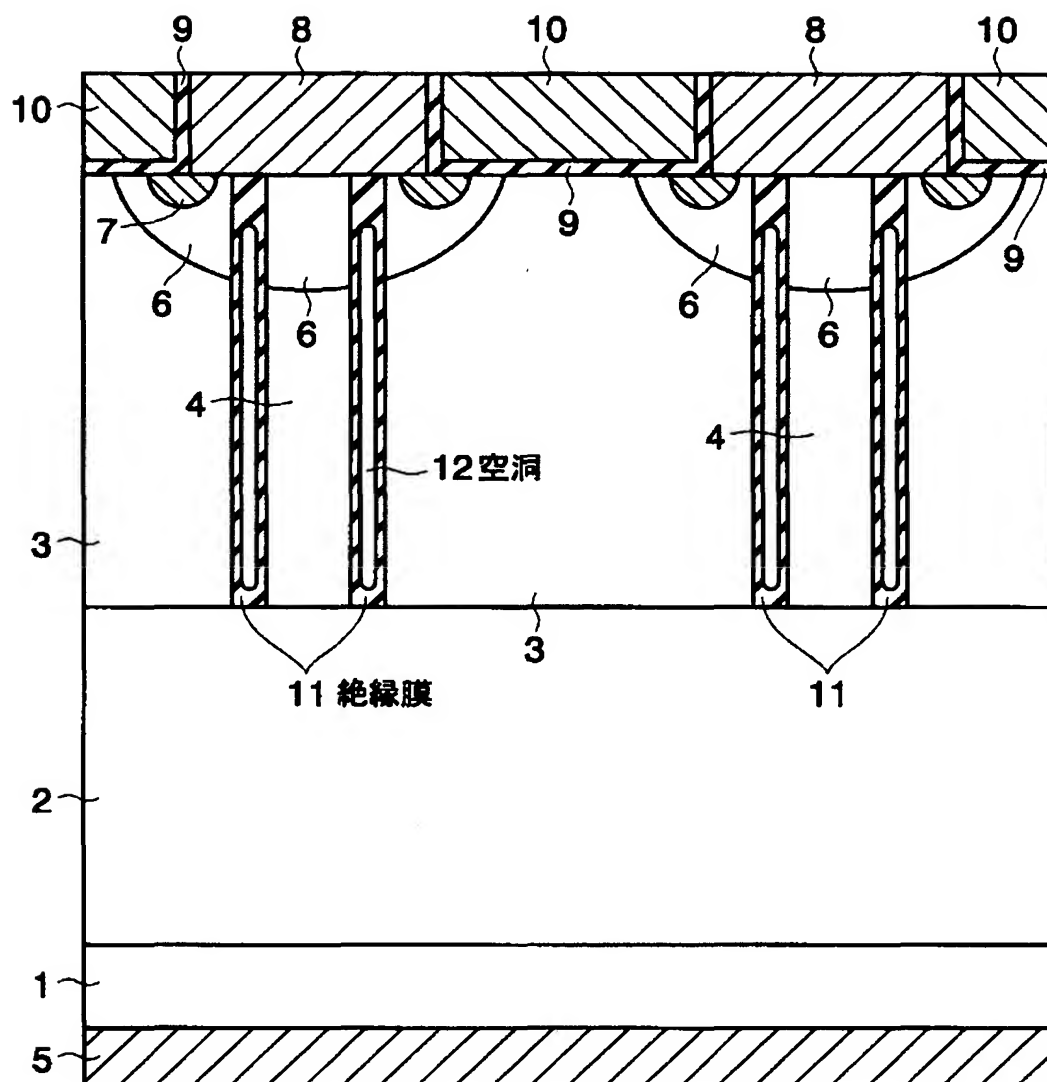
(F) MOS工程



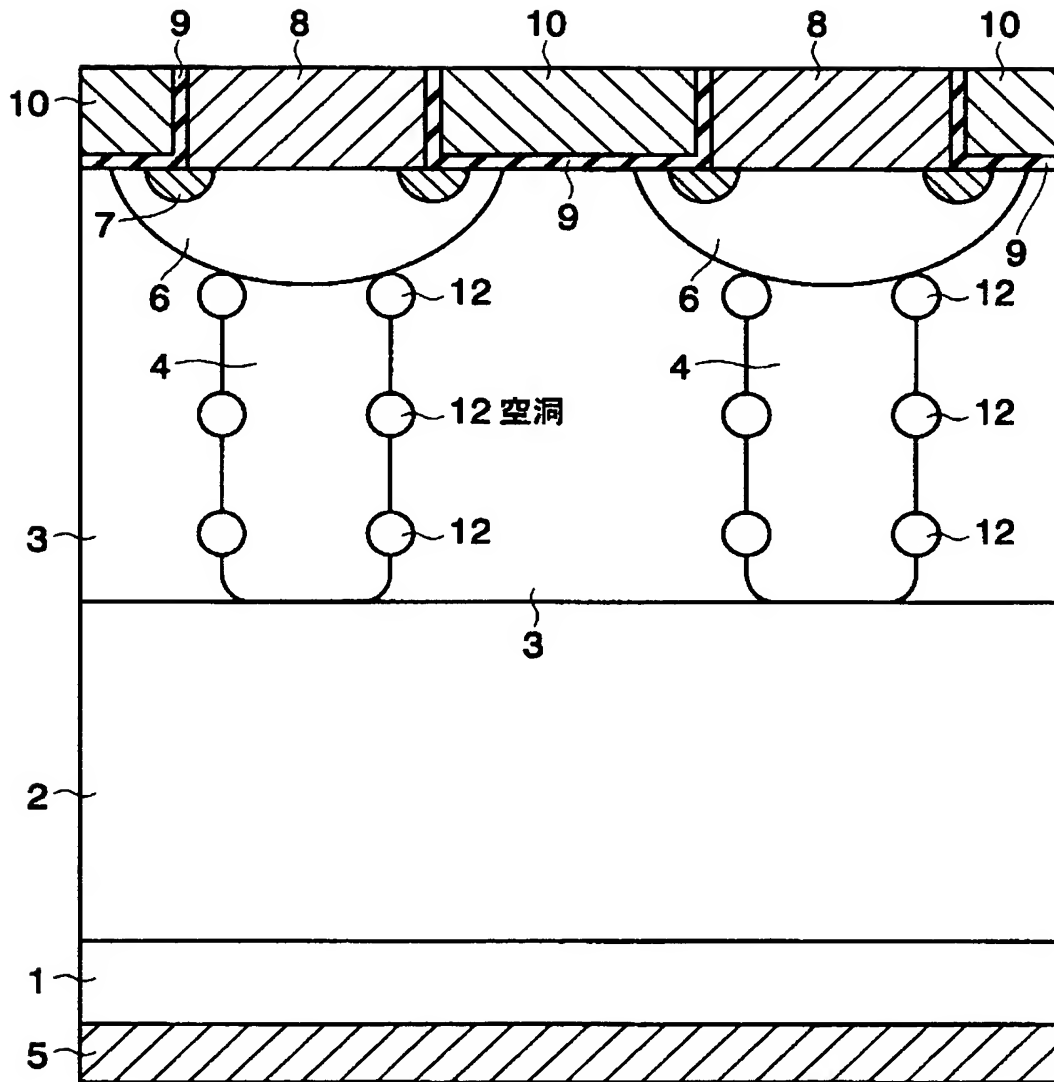
【図 1 1】



【図 12】

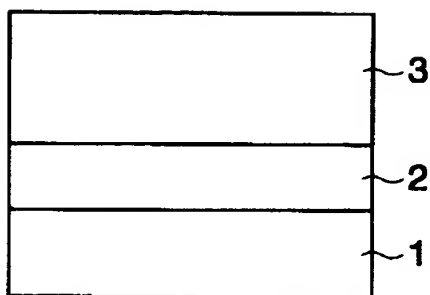


【図 1 3】



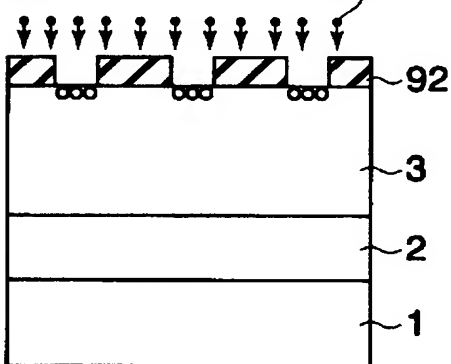
【図 14】

(A) 基板

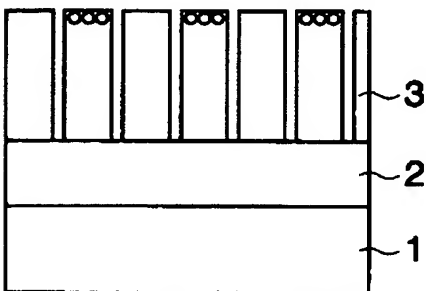


(B) インプラ

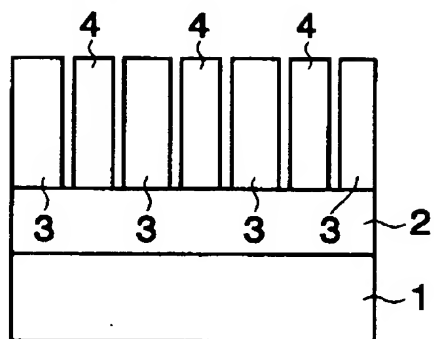
ボロンイオン



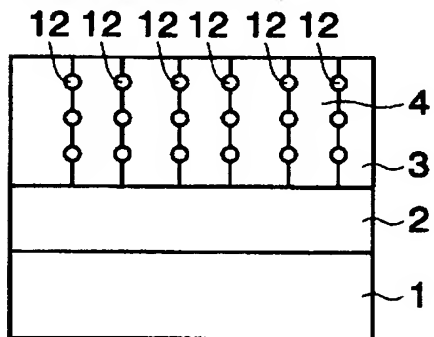
(C) トレンチ溝形成



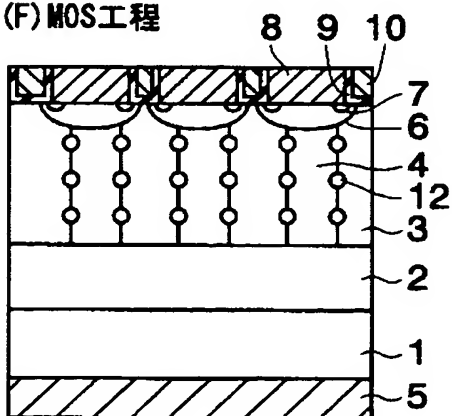
(D) 拡散



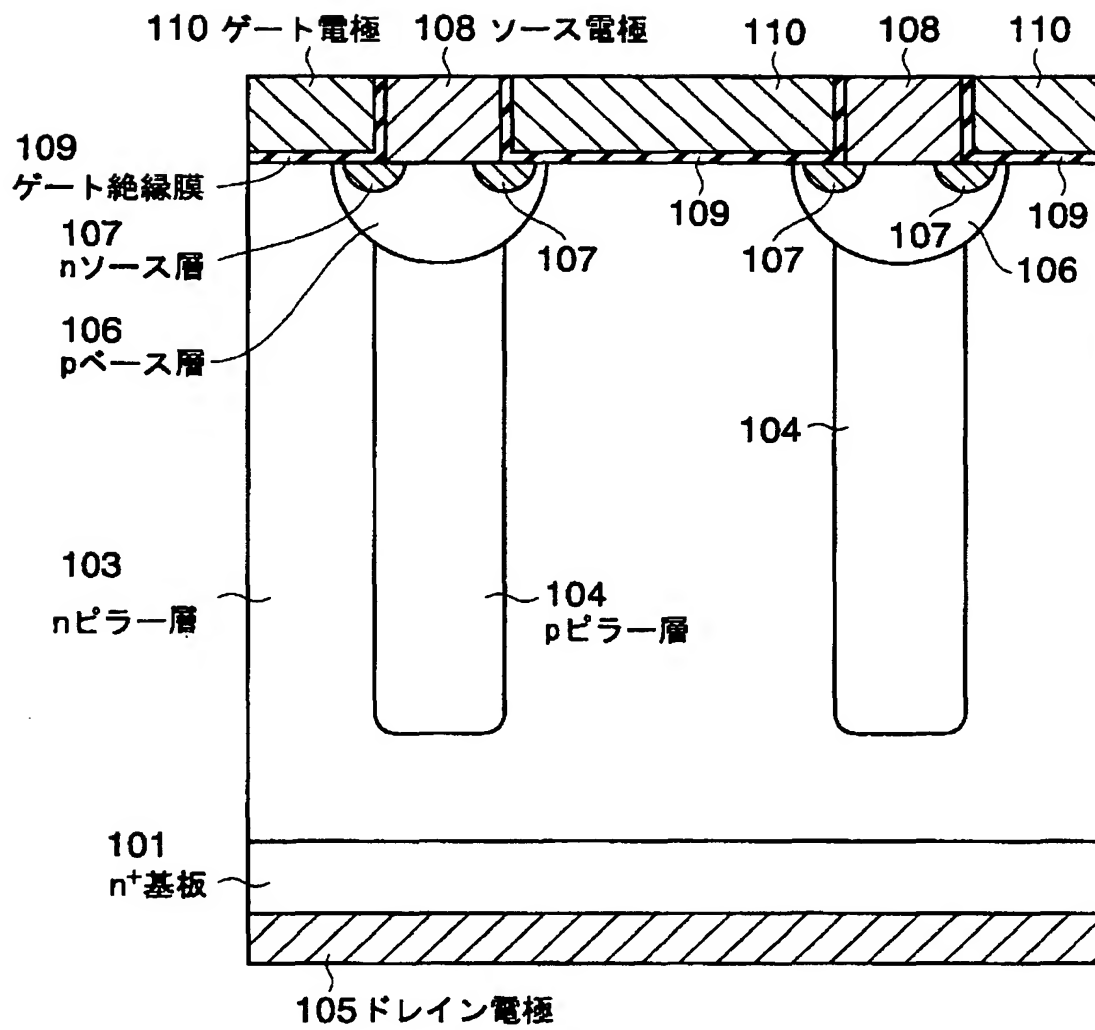
(E) 絶縁物埋め込み



(F) MOS工程



【図 15】



【書類名】 要約書

【要約】

【課題】従来のスーパージャンクションMOSFETと同様なプロセスで、より低オン抵抗のMOSFETを提供する。

【解決手段】 nピラー層3とpピラー層4で形成されるスーパージャンクション構造のドレイン側にnードリフト層2を挿入し、nードリフト層の厚さtとスーパージャンクション構造の厚さdの和に対するnードリフト層の厚さtの層厚比($= t / (t + d)$)を0.72以下とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝